

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-168300

(43)Date of publication of application : 22.06.2001

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
G11C 11/401  
H01L 21/3205

(21)Application number : 11-350840

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 09.12.1999

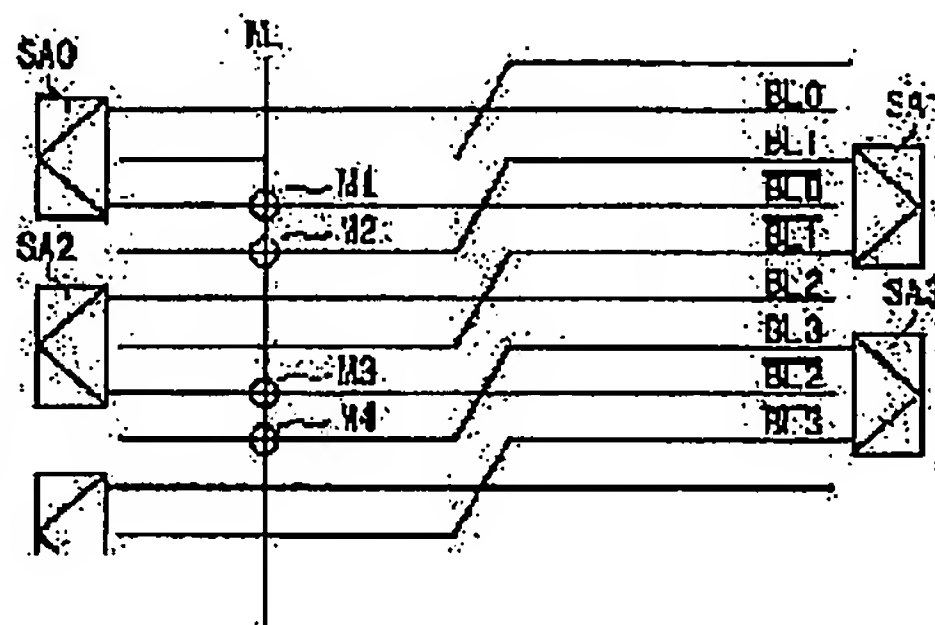
(72)Inventor : ITO MIKHIKO  
NAKAGAWA KAORU

## (54) SEMICONDUCTOR MEMORY DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor memory device which is of a simple cross wiring structure and which adopts a bit-line twist system used to effectively prevent the generation of an interference noise due to a cross interconnection.

**SOLUTION:** In a DRAM which has a memory cell array of a return bit-line structure, regarding a paired first bit line to a paired third bit line which are continued, bit lines are divided into the first half and the second half in the intermediate part in the longitudinal direction. Then, one out of the paired second bit line is crossed with the bit lines on the side of the paired third bit line out of the paired first bit line in such a way that the first half is arranged between the paired first bit line, and that the second half is arranged between the paired first bit line and the paired third bit line. The other out of the paired second bit line is crossed with the bit lines on the side of the paired first bit line out of the paired third bit line in such a way that the first half is arranged between the paired first bit line and the paired third bit line and that the second half is arranged between the paired third bit line and the paired first bit line.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-168300

(P2001-168300A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ト\*(参考)

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 B 5 B 0 2 4

21/8242

G 1 1 C 11/34

3 6 2 B 5 F 0 3 3

G 1 1 C 11/401

H 0 1 L 21/88

Z 5 F 0 8 3

H 0 1 L 21/3205

審査請求 未請求 請求項の数9 O L (全 9 頁)

(21)出願番号

特願平11-350840

(22)出願日

平成11年12月9日(1999.12.9)

(71)出願人

000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者

伊東 幹彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者

中川 薫

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74)代理人

100092820

弁理士 伊丹 勝

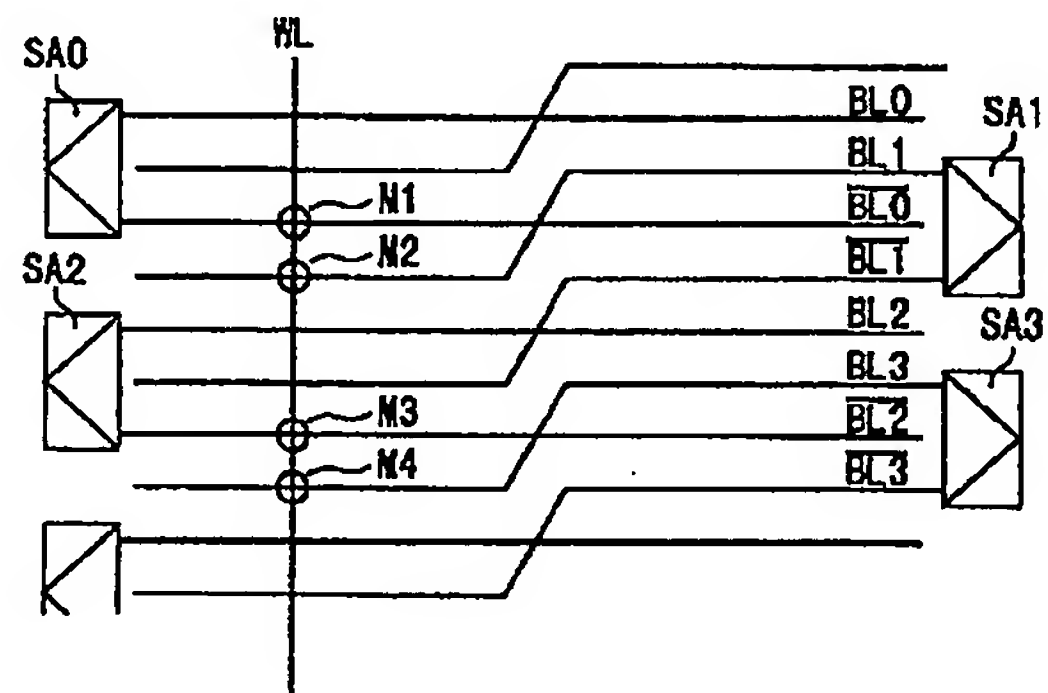
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 簡単な交差配線構造で且つ、交差配線による干渉ノイズ発生を効果的に防止したビット線ツイスト方式を採用した半導体記憶装置を提供する。

【解決手段】 折り返しビット線構造のメモリセルアレイを持つDRAMにおいて、連続する第1乃至第3のビット線対に関して、ビット線を長手方向に中間位置で前半部と後半部に分けたとき、第2のビット線対の一方は、前半部が第1のビット線対の間に配置され、後半部が第1のビット線対と第3のビット線対の間に配置されるように、第1のビット線対のうちの第3のビット線対側のビット線と交差させ、第2のビット線対の他方は、前半部が第1のビット線対と第3のビット線対の間に配置され、後半部が第3のビット線対の間に配置されるように、第3のビット線対のうちの第1のビット線側のビット線と交差させた。



## 【特許請求の範囲】

【請求項1】 複数本のワード線とこれと交差する折り返しビット線構造の複数本のビット線とが配設され、これらのビット線とワード線の交差部にメモリセルが配置されるメモリセルアレイを持つ半導体記憶装置において、

連続する第1乃至第3のビット線対に関して、ビット線を長手方向に第1の部分と第2の部分に分けたとき、第2のビット線対の一方は、第1の部分が第1のビット線対の間に配置され、第2の部分が第1のビット線対と第3のビット線対の間に配置されるように、第1のビット線対のうちの第3のビット線対側のビット線と交差させ、

第2のビット線対の他方は、第1の部分が第1のビット線対と第3のビット線対の間に配置され、第2の部分が第3のビット線対の間に配置されるように、第3のビット線対のうちの第1のビット線側のビット線と交差させた、ことを特徴とする半導体記憶装置。

【請求項2】 前記第1の部分と第2の部分とは、前記ビット線の長手方向の中間位置で分けられていることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記第2のビット線対は、前記第1及び第3のビット線対との交差のために、その長手方向の中間位置で同じ方向に同じ角度で折り曲げられることを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】 前記ビット線対を交差させる交差配線領域のビット線方向の幅が3F（F：最小加工寸法）であることを特徴とする請求項1乃至3のいずれかに記載の半導体記憶装置。

【請求項5】 前記ビット線対とワード線とは斜めに交差して配設され、ビット線対はその長手方向の途中で折り曲げられることを特徴とする請求項1乃至4のいずれかに記載の半導体記憶装置。

【請求項6】 ビット線対が折り曲げられた領域から離れた位置に、ビット線対を交差させる交差配線が設けられることを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 ビット線対が折り曲げられた領域に、ビット線対を交差させる交差配線が設けられることを特徴とする請求項5記載の半導体記憶装置。

【請求項8】 ビット線対を交差させる交差配線は、前記ビット線より下層の配線として、前記ワード線と同じ材料を用いてワード線と同時にパターン形成されることを特徴とする請求項1乃至7のいずれかに記載の半導体記憶装置。

【請求項9】 ビット線対を交差させる交差配線は、前記ビット線より上層のメタル層によりパターン形成されることを特徴とする請求項1乃至7のいずれかに記載の半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に係り、特にビット線間の干渉雑音低減技術に関する。

【0002】

【従来の技術】半導体記憶装置の高集積化によりビット線の間隔は微細になり、ビット線間結合容量の増大によるビット線間干渉ノイズがデータを正確に読み出す上で大きな問題になっている。例えばDRAMを例として、図12及び図13を参照してビット線間干渉ノイズの問題を具体的に説明する。図12は、折り返しビット線構造のDRAMの隣接する2対のビット線BL0、/BL0、BL1、/BL1とこれに接続されるセンスアンプSA0、SA1の部分を示している。図13は、その動作時の各部波形を示している。

【0003】DRAMがアクティブ状態になり、ワード線WLが選択されてビット線BL0、BL1に $-V_s$ の信号が読み出されたとする。このとき、センスアンプSA0に参照電圧を供給するビット線/BL0は、結合容量 $C_{inter}$ を介して隣接するビット線BL1から $-\delta 1$ なる干渉ノイズを受ける。この後、センスアンプ活性化のため活性化信号 $\phi_s$ が波線で示すように“L”レベルに遷移すると、次のような現象が生じる。

【0004】まず、時刻 $t_1$ で、センスアンプの中で最もゲート・ソース間電圧の大きいMOSトランジスタQ3が導通し、これによりビット線BL1の電位が徐々に低下する。このとき、MOSトランジスタQ1は、前述した干渉ノイズ $-\delta 1$ によりゲート電圧が低くなっているため、導通が遅れる。従ってビット線/BL0は高インピーダンス状態にあるため、結合容量 $C_{inter}$ を介して干渉ノイズ $-\delta 2$ が発生し、ビット線/BL0の電位を更に引き下げる。この状態はセンスアンプ活性化信号 $\phi_s$ が十分低レベルになるまで続き、結果としてビット線/BL0には、 $-\delta 2$ なる干渉ノイズが読み出し時の干渉ノイズ $-\delta 1$ に重畳されることになる。

【0005】ここまでは、隣接するビット線のうち異なるセンスアンプに接続されるビット線間の結合容量 $C_{inter}$ による干渉ノイズの説明である。実際にはこれに加えて、同じセンスアンプに接続されるビット線対間の結合容量 $C_{intra}$ に起因する干渉ノイズがある。即ち、ワード線WLが選択されてビット線BL0に $-V_s$ の信号が読み出されたとき、結合容量 $C_{intra}$ によって、ビット線BL0と対をなすビット線/BL0の電位は $-\delta 3$ だけ電位低下する。従ってビット線対BL0、/BL0の電位差は $\delta 3$ だけ小さくなるので、この干渉ノイズもセンス感度の低下をもたらす。

【0006】このようなビット線対間の干渉ノイズは、ビット線間隔が微細になるほど大きくなる。そのためセンスアンプによるデータ増幅に時間がかかるだけでなく、場合によっては信号電圧がノイズより小さくなり、誤ったデータが読み出されることにもなる。以上のようなDRAMのビット線間干渉ノイズの低減を図る有効な技術

として、ビット線を交差させる方式がこれまで種々提案されている。その代表的な例を図14に示す。これは、第1のビット線対BL0、/BL0に対して半ピッチずれて配置される第2のビット線対BL1、/BL1について、長手方向の中間でツイストさせてビット線/BL0と交差させるようにしたものである。

【0007】なお以下では、隣接ビット線間の干渉ノイズをセルデータ読み出し時のノイズ $\delta 1$ とセンスアンプ活性化時のノイズ $\delta 2$ に分けて説明するが、ここで次の仮定をおく。

(1) ノイズは隣接ビット線のみから受ける。

(2) ビット線はVcc/2プリチャージ方式とし、ワード線が立ち上がるとセルデータはビット線対の一方に出力され、他方は隣接するビット線へのノイズの他電位変化はないものとする。

(3) 隣接ビット線間の結合容量C<sub>inter</sub>は全てのビット線間で等しいものとする。

【0008】以上の仮定のもとで、図14のビット線ツイスト方式を見ると、隣接ビット線間の結合容量C<sub>inter</sub>によるノイズ $\delta 1$ 、 $\delta 2$ は低減され、またビット線対間の結合もなくなるので、ノイズ $\delta 3$ が除去される。具体的に、読み出し時の干渉ノイズ $\delta 1$ について考えると、最悪条件となるのは、図14のワード線WLに沿ったメモリセルM1～M4のデータが、M1=L、M2=H、M3=L、M4=Lの場合である。信号電圧V<sub>s</sub>が読み出されるとき各ビット線の電位は、次の数1のようになる。但し、ビット線の総容量C<sub>total</sub>に対するビット線間結合容量C<sub>inter</sub>の比(結合比)をC<sub>inter</sub>/C<sub>total</sub>=C<sub>n</sub>とし、プリチャージ電圧をVcc/2=V<sub>p</sub>としている。

【0009】

【数1】 $V_{BL0}=V_p-V_s+C_n V_s$

$V_{/BL0}=V_p+C_n V_s$

$V_{BL1}=V_p-C_n V_s$

$V_{/BL1}=V_p+V_s-2C_n V_s$

$V_{BL2}=V_p-V_s+C_n V_s$

$V_{/BL2}=V_p-C_n V_s$

$V_{BL3}=V_p-C_n V_s$

$V_{/BL3}=V_p-V_s$

【0010】各ビット線対間の電位差から、データ読み出し時のノイズを求めると、次の数2のようになる。

【0011】

【数2】 $\delta 1(SA0)=0$

$\delta 1(SA1)=C_n V_s$

$\delta 1(SA2)=2C_n V_s$

$\delta 1(SA3)=C_n V_s$

【0012】

【発明が解決しようとする課題】数2から明らかなように、ビット線ツイスト方式を採用することにより、ノイズが低減される。しかしこの方式は、図15に示すよう

に、ビット線を交差させる部分に広い面積を必要とする。図15は、最小加工寸法F(Feature Size)でビット線を配設し、且つ二つの交差配線131、132をも最小加工寸法Fで加工した場合を示している。これらの交差配線131、132をもし直接交差させようとする、2層配線(ビット線を含めると3層配線)構造となり、配線構造は複雑になる。直接交差させないようにするには、図示のように迂回した配線パターンが必要になり、この場合交差に必要なビット線方向の幅は5Fになる。またこの様に迂回する交差配線131、132を形成した場合、迂回に伴って交差配線131、132がビット線とかなり大きな面積で対向することになる。これは、上で解析した干渉ノイズとは別の無用な干渉ノイズが生じることを意味する。

【0013】この発明は、上記事情を考慮してなされたもので、簡単な交差配線構造で且つ、交差配線による干渉ノイズ発生を効果的に防止したビット線ツイスト方式を採用した半導体記憶装置を提供することを目的としている。

【0014】

【課題を解決するための手段】この発明は、複数本のワード線とこれと交差する折り返しビット線構造の複数本のビット線とが配設され、これらのビット線とワード線の交差部にメモリセルが配置されるメモリセルアレイを持つ半導体記憶装置において、連続する第1乃至第3のビット線対に関して、ビット線を長手方向に第1の部分と第2の部分に分けたとき、第2のビット線対の一方は、第1の部分が第1のビット線対の間に配置され、第2の部分が第1のビット線対と第3のビット線対の間に配置されるように、第1のビット線対のうちの第3のビット線対側のビット線と交差させ、第2のビット線対の他方は、第1の部分が第1のビット線対と第3のビット線対の間に配置され、第2の部分が第3のビット線対の間に配置されるように、第3のビット線対のうちの第1のビット線側のビット線と交差させた、ことを特徴としている。

【0015】この発明によると、対をなすビット線同士は交差させず、ビット線対の各ビット線を隣接するビット線対と交差させることにより、ビット線の交差配線構造は簡単になる。また交差配線の領域の面積も小さくて済み、従って交差配線が新たな干渉ノイズの原因となることがなく、効果的な干渉ノイズ低減を図ることができる。

【0016】この発明において、具体的に、第1の部分と第2の部分とはビット線の間位置で分けられる。またこの発明において、第2のビット線対は、第1及び第3のビット線対と交差させるために、その長手方向の間位置で同じ方向に同じ角度で折り曲げられる。またこの発明において、ビット線対とワード線は互いに直交して配設されてもよいが、例えばビット線対とワード線と



を斜めに交差して配設した場合に、ビット線対はその長手方向の途中で折り曲げられるようにしてもよい。

【0017】この発明において、ビット線対とワード線が直交して配設される場合に、ビット線対を交差させる交差配線領域のビット線方向の幅は、最小加工寸法をFとして、3Fとすることができる。

【0018】またこの発明において、ビット線対とワード線を斜めに交差して配設し、ビット線対がその長手方向の途中で折り曲げられる場合に、ビット線対を交差させる交差配線は、そのビット線対が折り曲げられた領域から離れた位置に配置してもよいし、或いはビット線対が折り曲げられた領域に配置してもよい。

【0019】更にこの発明において、ビット線対の交差配線は、ビット線対より下層の配線として、ワード線と同じ材料を用いてワード線と同時にパターン形成してもよいし、或いはビット線対より上層のメタル層によりパターン形成してもよい。前者の場合には、交差配線のために格別のメタル層を必要としないという効果が得られるが、但し交差配線領域にワード線を配置することができない。後者の場合には交差配線領域にワード線を配置することが妨げられない。

【0020】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態1】図1は、DRAMを例として、この発明の実施の形態によるメモリセルアレイを示している。メモリセルアレイには複数対のビット線BL、/BL (BL0、/BL0、BL1、/BL1、...)とワード線WLが交差して配設され、それらの交差部のダイナミック型メモリセルM(M1、M2、...)が配置される。ビット線対BL、/BLは折り返しビット線構造であり、その端部に交互にセンスアンプSA(SA0、SA1、...)が設けられている。

【0021】ビット線対BL、/BLのツイストの方式は、連続する3対BL0、/BL0~BL2、/BL2の部分を取りあげて説明すれば、次のようになる。即ち、これらの3対のうち、第2のビット線対BL1、/BL1に注目すると、その一方BL1は、前半部が第1のビット線対BL0、/BL0の間に配置され、後半部が第1のビット線対BL0、/BL0と第3のビット線対BL2、/BL2の間に配置される。この様にするために、ビット線BL1は、長手方向の中間位置で折り曲げられ、第1のビット線対BL0、/BL0のうちの第3のビット線対BL2、/BL2側のビット線/BL0と交差されている。また第2のビット線対BL1、/BL1の他方/BL1は、前半部が第1のビット線対BL0、/BL0と第3のビット線対BL2、/BL2の間に配置され、後半部が第3のビット線対BL2、/BL2の間に配置される。この様にするために、ビット線/BL1は、長手方向の中間位置で折り曲げられ、第3の

ビット線対BL2、/BL2のうちの第1のビット線対BL0、/BL0側のビット線BL2と交差されている。

【0022】具体的に、第1のビット線対BL0、/BL0と第3のビット線対BL2、/BL2は直線パターンであり、第2のビット線対BL1、/BL1を折り曲げパターンとして第1及び第3のビット線対BL0、/BL0、BL2、/BL2と交差させている。第2のビット線対BL1、/BL1の中間位置での折り曲げ方向及び角度は同じである。以下、同様の繰り返しによるビット線ツイストが行われる。

【0023】図3は、この実施の形態のビット線ツイスト方式の場合の各ビット線間の結合容量関係を示している。図3での容量Cは、隣接する2本のビット線が全長にわたって直接対向するときの結合容量である。この実施の形態において、ビット線間干渉ノイズが最悪条件となるのは、図2に示すように、連続する3ビット線対BL0、/BL0~BL2、/BL2の読み出しデータが全て“L”、その外側のビット線対の読み出しデータが“H”となるようなデータパターンの場合である。

“L”レベル読み出しの信号電圧を $-V_s$ 、“H”レベル読み出し信号電圧を $+V_s$ として、各ビット線電位は、ビット線を交差させたことにより結合容量が半分になることを考慮して、次のようになる。但し、ビット線の総容量 $C_{total}$ に対するビット線間結合容量 $C_{inter}$ の比(結合比)を $C_{inter}/C_{total}=C_n$ とし、プリチャージ電圧を $V_{cc}/2=V_p$ としている。

【0024】

【数3】 $V_{BL0}=V_p$

$V_{/BL0}=V_p - V_s$

$V_{BL1}=V_p - V_s$

$V_{/BL1}=V_p - C_n V_s$

$V_{BL2}=V_p$

$V_{/BL2}=V_p - V_s + 2 C_n V_s$

$V_{BL3}=V_p + V_s - C_n V_s$

$V_{/BL3}=V_p - C_n V_s$

【0025】数3の電位関係から、データ読み出し時のノイズを求めると、次のようになる。但し、ビット線対間の結合容量によるノイズは、ビット線対が隣接しないため存在しない。

【0026】

【数4】 $\delta 1(SA0)=0$

$\delta 1(SA1)=C_n V_s$

$\delta 1(SA2)=2 C_n V_s$

$\delta 1(SA3)=C_n V_s$

【0027】この数4は、数2に示した従来のビット線ツイスト方式の場合と同じである。即ち基本的な干渉ノイズ低減の効果に関しては、この実施の形態の方式と図14に示した従来の方式とで違いはない。しかし、図14のビット線ツイスト方式では、3本のビット線が一点

で交差し、しかも対をなすビット線を逆方向に折り曲げることが必要であるのに対し、この実施の形態の場合には、ビット線交差は2本の間のみであり、且つ対をなす二つのビット線同士は交差させず、二つのビット線折り曲げ方向及び角度とも一定にできる。従って交差配線部の構造は、この実施の形態の方が簡単になる。

【0028】具体的にこの実施の形態のビット線ツイスト方式の場合のビット線レイアウトの例を図4に示す。図4は、ビット線対BL、/BL及び交差配線41を最小加工寸法Fで加工した例を示しているが、図15の従来方式と比較して明かなように、交差配線41同志の間は交差させる必要がなく、迂回も必要がない。従ってビット線ツイストに要する交差配線の領域B（以下ツイスト領域という）のビット線方向の幅は、3Fであり、図15の従来方式に比べて面積が小さくて済む。そして、図15の交差配線131、132と比較して、図4の交差配線41がビット線と対向する面積は小さく、従って交差配線に伴って生じる干渉ノイズは小さく抑えられる。即ち、干渉ノイズ低減の効果が従来例に比べて大きくなる。また、ビット線対BL、/BLを同一方向に同じ材料で折り曲げることにより、ビット線対間に容量等のアンバランスが生じない。

【0029】なお、図4に示す交差配線41は、具体的にはビット線対BL、/BLより上層のメタル層をパターン形成して得られる。この場合、ツイスト領域Bはメモリセルアレイのメモリセル配置には影響がない。また交差配線41をビット線対BL、/BLより下層のワード線WLと同じ材料膜によりパターン形成しても良い。この場合には、交差配線41のために格別のメタル層が要らないという効果が得られる。

【0030】[実施の形態2] 図1の実施の形態では、ビット線BL、/BLとワード線WLは互いに直交して交差するものとしたが、図5は、ビット線BL、BLとワード線WLが斜めに交差して配設される実施の形態を示している。ビット線ツイストの方式は図1の実施の形態と同じである。この場合のビット線レイアウトは、図6のようになる。ビット線ツイストのための配線61は、この場合も最小加工寸法Fで加工され、且つビット線BL、/BLと直交する部分と平行する部分を持つパターンをもって形成されている。そしてこの場合も、ビット線ツイストに要するビット線方向の幅は、実施の形態1と同様に3Fであり、従来方式に比べて小さい。この実施の形態によっても先の実施の形態と同様の効果が得られる。

【0031】[実施の形態3] 実施の形態2のようにビット線BL、/BLとワード線WLを斜めに交差させる配置を採用した場合、ビット線BL、/BLを途中で折り曲げないと、その両端のセンスアンプ列の間に大きな段差が生じ、周辺回路との接続に必要な面積が増大する。そこで好ましくは、ビット線対BL、/BLを途中

で折り曲げる。但し、ここでいうビット線BL、/BLの“折り曲げ”は、ビット線同士を交差させるための折り曲げとは別である。その様な実施の形態のメモリセルアレイのレイアウトを図7に示す。

【0032】図7は、ビット線対BL、/BLとワード線WLを最小加工寸法Fで交差させて配置している。細長い島状の領域12が素子領域であり、その両端にメモリキャパシタ13が形成される。素子領域12の中央部にビット線コンタクト11が配置される。図示のように、ビット線BL、/BLの折り曲げ領域Aにもセルのキャパシタ13を作り込むためには、折り曲げ領域Aで3Fのワード線間隔を必要とする。しかし、折り曲げ領域Aにはワード線を配置することができない。従って、ビット線BL、/BLの折り曲げにより、ワード線ピッチ方向に2Fだけ余分な面積が必要となる。

【0033】図7ではビット線ツイストを示していないが、例えば図8に示すように、ビット線折り曲げ領域Aから離れた位置にビット線のツイスト領域Bを設ける。図8では、ビット線の交差配線81は、ビット線BL、/BLと平行する部分及び直交する部分のみで、且つ最小加工寸法Fでパターンニングしている。具体的にこの配線81は、ワード線WLと同じ材料を用いてワード線WLと同時にパターン形成されるものとする。

【0034】この場合、ビット線の交差配線81として、ビット線より下層のワード線材料を用いることによる、ビット線ツイスト領域Bに必要なワード線ピッチ方向の幅は、図8に示すように、ワード線と直交する方向に対するビット線BL、/BLの傾斜角度を $\theta$ として、 $2F + F \sin \theta + 3F \cos \theta$ となる。通常のワード線間隔がFであるので、ビット線ツイストのために必要な幅は、 $F + F \sin \theta + 3F \cos \theta$ となる。

【0035】このビット線ツイスト領域Bにはメモリセルを作ることとはできず、メモリセルアレイとしては無駄になる。ビット線の折り曲げ領域Aでの無駄になる幅は前述のように2Fであるから、この実施の形態の場合、ツイスト領域Bを含めて、メモリセルアレイとしての有効領域幅は、 $3F + F \sin \theta + 3F \cos \theta$ だけ減少することになる。但し、交差配線のために格別のメタル層が要らないという効果が得られ、また実施の形態1で説明したと同様の理由で、交差配線により無用の大きな干渉ノイズが発生することはない。また、ビット線対BL、/BLを同一方向に同じ材料で折り曲げることにより、ビット線対間に容量等のアンバランスが生じない。

【0036】[実施の形態4] 上記実施の形態に対して、図9は、ビット線折り曲げ領域Aとビット線ツイスト領域Bを重ねた場合の実施の形態である。ビット線の交差配線91はこの実施の形態の場合もワード線WLと同じ材料を用いて最小加工寸法Fでパターン形成している。この実施の形態の場合、ビット線折り曲げ領域A及びツイスト領域Bとして必要なワード線ピッチ方向の幅

は、図7の場合の折り曲げ領域Aの幅より大きくなり、図9に示したように、 $5F$ となる。従って、通常のワード線間隔 $F$ に対してビット線ツイストに必要な領域の増分は $4F$ である。これは実施の形態3のようにビット線ツイスト領域Bとビット線折り曲げ領域Aとを離して形成する場合に比べて、メモリセルアレイの有効領域幅を、 $F \sin \theta + 3F \cos \theta - F$ だけ大きくすることができる。

【0037】[実施の形態5] 図10は、図7及び図8で説明した実施の形態を変形した実施の形態における図8に対応するパターンを示している。図8と同様のパターンでビット線の交差配線101を形成している。但し、図8の実施の形態では配線81としてワード線WLと同じ材料を用いたのに対し、図10では、配線101はビット線BL、/BLより上に配設されたメタル層を用いている。従ってこの場合、ツイスト領域Bにも図7と同様のレイアウトでメモリセルを配置することが妨げられず、ワード線WLも配置することができる。即ち、ツイスト領域Bとして必要なワード線ピッチ方向の幅は、 $3F$ であるが、図8と異なり、このツイスト領域Bの幅はメモリセルアレイ領域として無駄にはならない。

【0038】[実施の形態6] 図11は、図9の実施の形態を変形した実施の形態である。図9と同様のパターンでビット線折り曲げ領域Aに重ねてツイスト領域Bを配置して、ビット線の交差配線111を形成している。但し、図8の実施の形態では配線81としてワード線WLと同じ材料を用いたのに対し、図10では、配線111はビット線BL、/BL上に配設されたメタル層を用いている。従ってこの場合、ツイスト領域B及び折り曲げ領域Aとして必要なワード線ピッチ方向の幅は、図7の折り曲げ領域Aの幅と同じ $3F$ である。即ち、ツイスト領域Bのためにメモリセルアレイ領域が無駄になることはない。

【0039】[実施の形態7] ここまでの実施の形態では、ビット線ツイストが1回の場合を示したが、複数回(但し、奇数回)のビット線ツイストを行ってもよく、これによっても同様のノイズ低減が可能である。例えば図16は、図1の実施の形態に対して、ビット線長の $1/4$ 、 $1/2$ 、 $3/4$ の3箇所ではビット線ツイストを行った実施の形態を示している。5回のビット線ツイストの場合であれば、ビット線長の $1/6$ 、 $1/3$ 、 $1/2$ 、 $2/3$ 、 $5/6$ の箇所でツイストになる。ビット線配列が斜めビット線の場合についても同様に、一般に奇数回のビット線ツイストとすることが可能である。

【0040】

【発明の効果】以上述べたようにこの発明によれば、対をなすビット線同士は交差させず、ビット線対の各ビット線を隣接するビット線対と交差させることにより、簡単な交差配線構造でビット線ツイストに要する面積増大を抑えながら、ビット線間の干渉ノイズ低減を図った半導体記憶装置を得ることができる。

【図面の簡単な説明】

【図1】この発明の実施の形態1によるDRAMメモリセルアレイの等価回路図である。

【図2】同実施の形態の最悪条件のデータパターンを示す図である。

【図3】同実施の形態のビット線間の結合容量関係を示す図である。

【図4】同実施の形態のビット線レイアウトを示す図である。

【図5】この発明の実施の形態2によるDRAMメモリセルアレイの等価回路図である。

【図6】同実施の形態のビット線レイアウトを示す図である。

【図7】この発明の実施の形態3によるDRAMメモリセルアレイのレイアウトを示す図である。

【図8】同実施の形態のビット線ツイスト領域のレイアウトを示す図である。

【図9】この発明の実施の形態4によるDRAMメモリセルアレイのレイアウトを示す図である。

【図10】この発明の実施の形態5によるDRAMメモリセルアレイのビット線ツイスト領域のレイアウトを示す図である。

【図11】この発明の実施の形態6によるDRAMメモリセルアレイのレイアウトを示す図である。

【図12】DRAMのビット線間干渉ノイズを説明するための等価回路図である。

【図13】同ビット線間干渉ノイズを説明するための動作波形図である。

【図14】従来のビット線ツイスト方式を示す等価回路図である。

【図15】同ビット線ツイスト方式でのビット線レイアウトを示す図である。

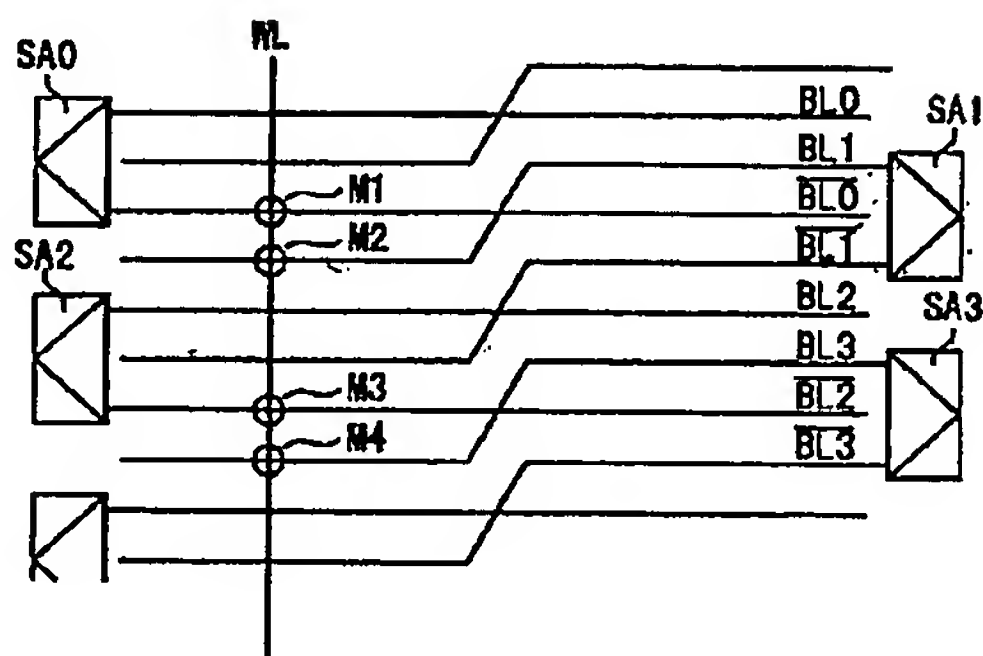
【図16】この発明の実施の形態7によるDRAMセルアレイの等価回路図である。

【符号の説明】

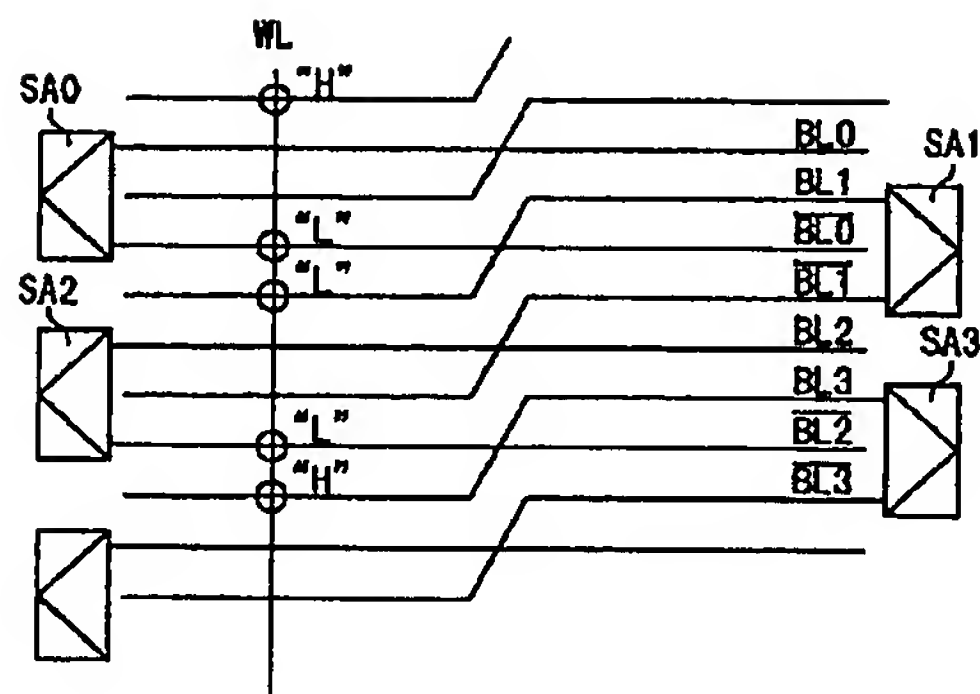
BL、/BL…ビット線対、WL…ワード線、M…メモリセル、SA…センスアンプ。



【 図1 】



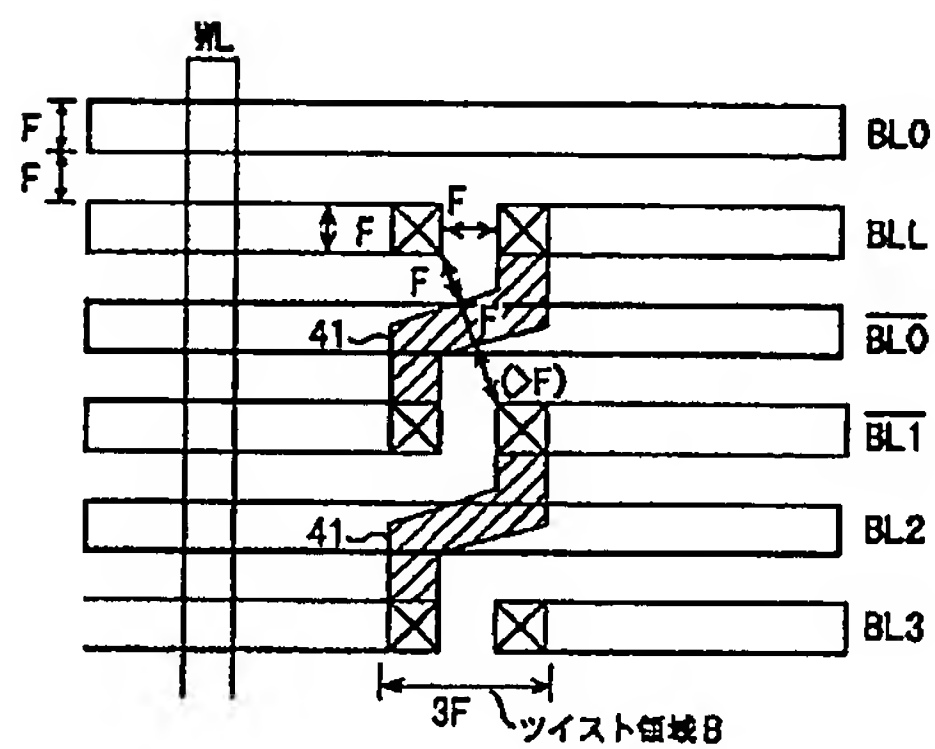
【 図2 】



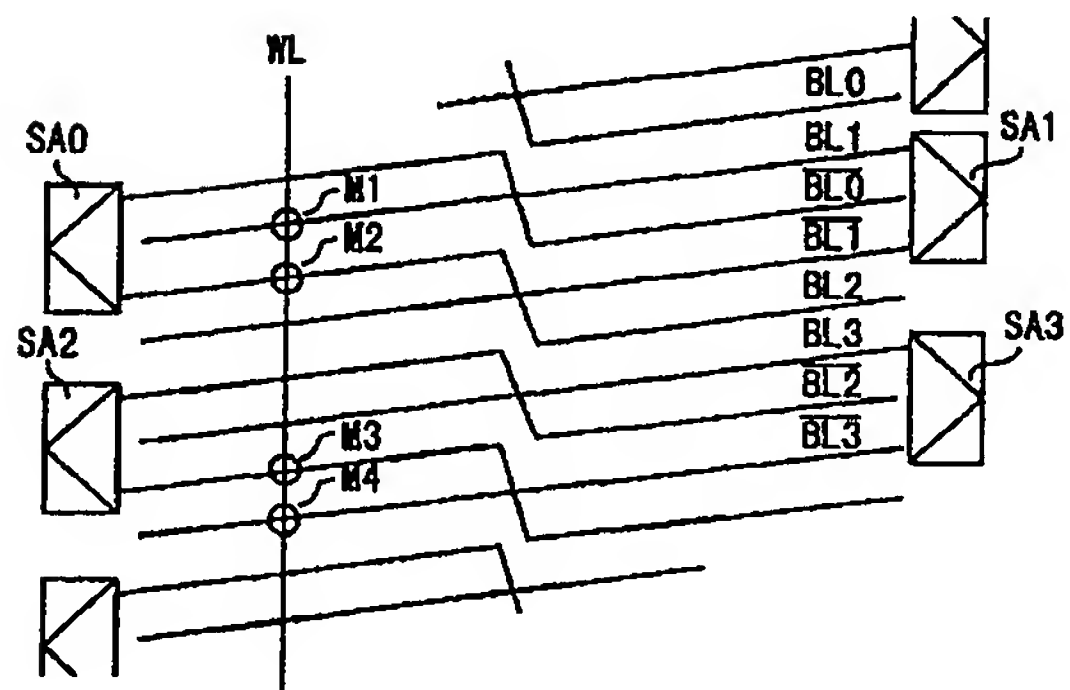
【 図3 】

	BL0	$\overline{BL0}$	BL1	$\overline{BL1}$	BL2	$\overline{BL2}$	BL3	$\overline{BL3}$
BL0		0	1/2C	0	0	0	1/2C	C
$\overline{BL0}$	0		0	1/2C	0	0	0	1/2C
BL1	1/2C	C		0	1/2C	0	0	0
$\overline{BL1}$	0	1/2C	0		C	1/2C	0	0
BL2	0	0	1/2C	C		0	1/2C	0
$\overline{BL2}$	0	0	0	1/2C	0		C	1/2C
BL3	1/2C	0	0	0	1/2C	C		0
$\overline{BL3}$	C	1/2C	0	0	0	1/2C	0	

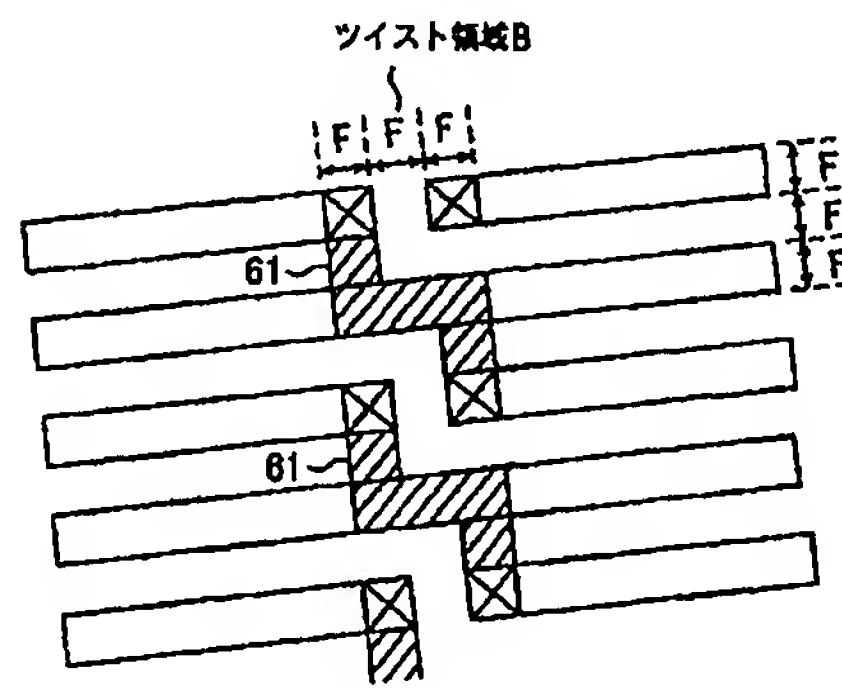
【 図4 】



【 図5 】

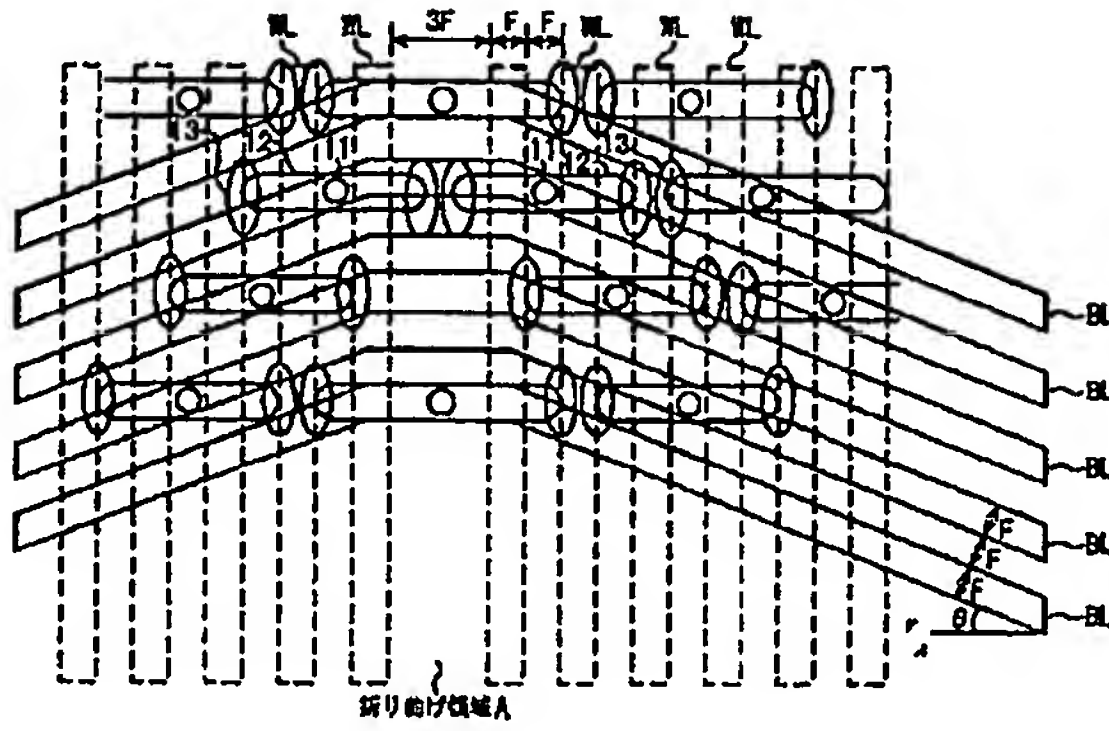


【 図6 】

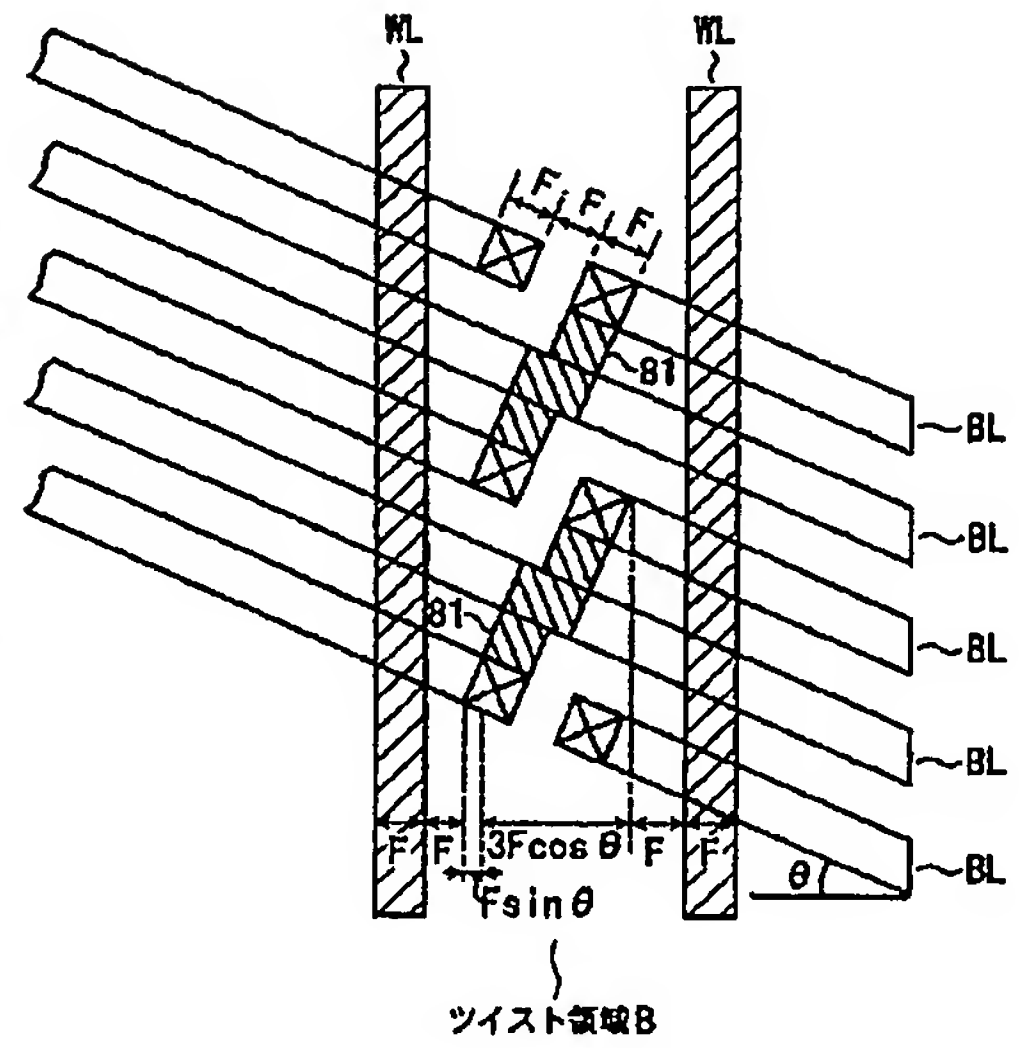




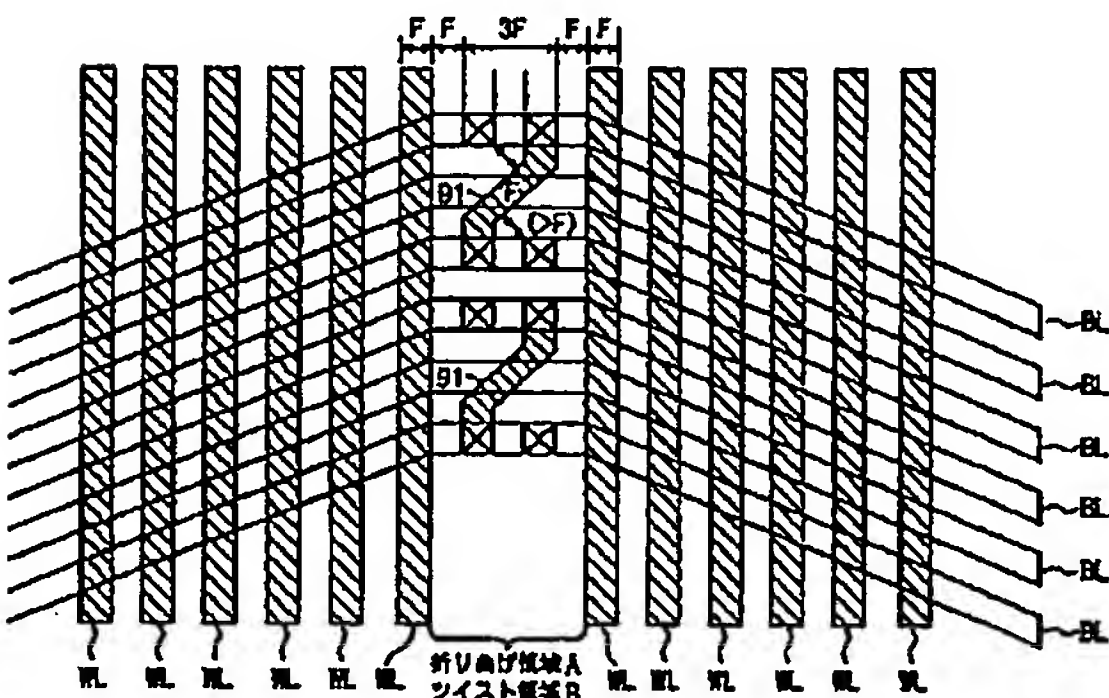
【 図7 】



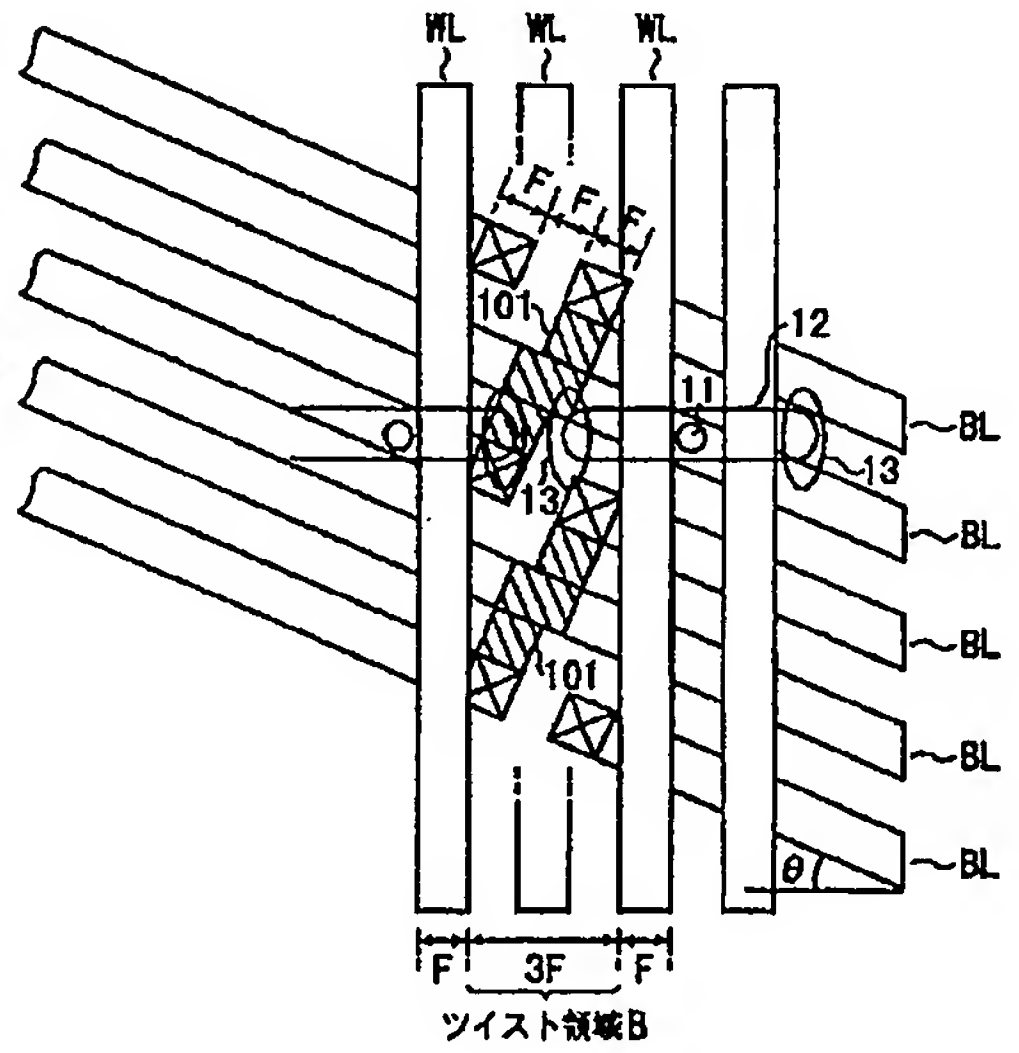
【 図8 】



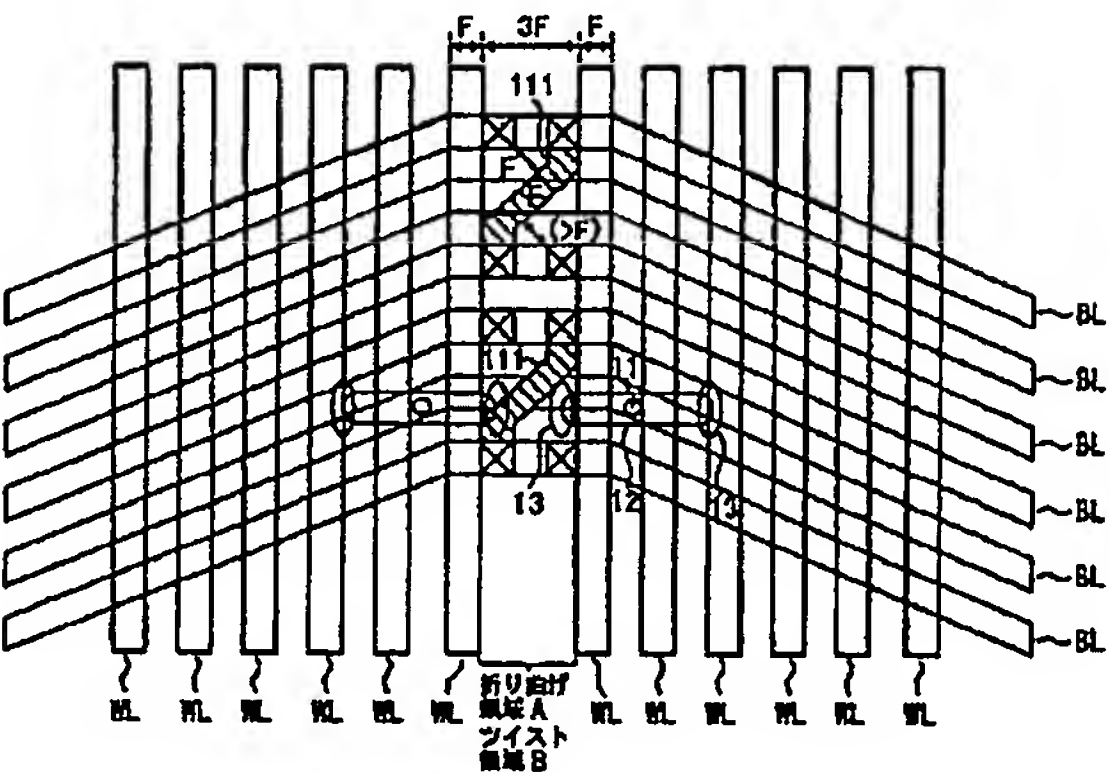
【 図9 】



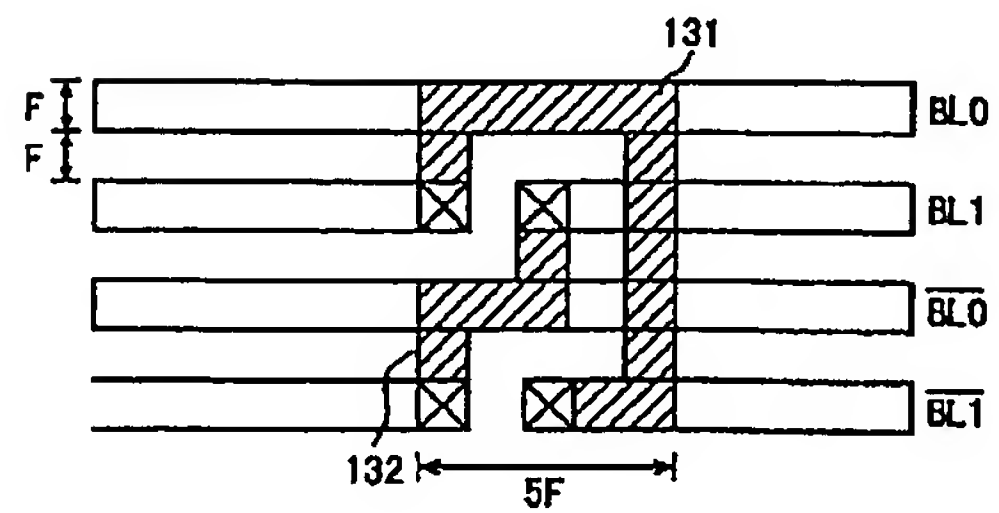
【 図10 】



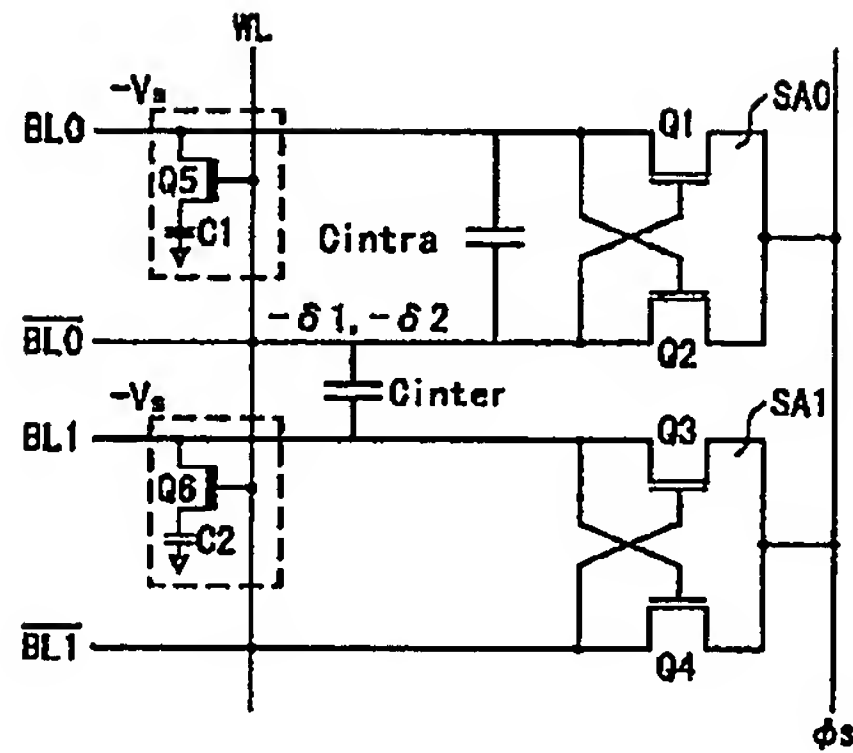
【 図11 】



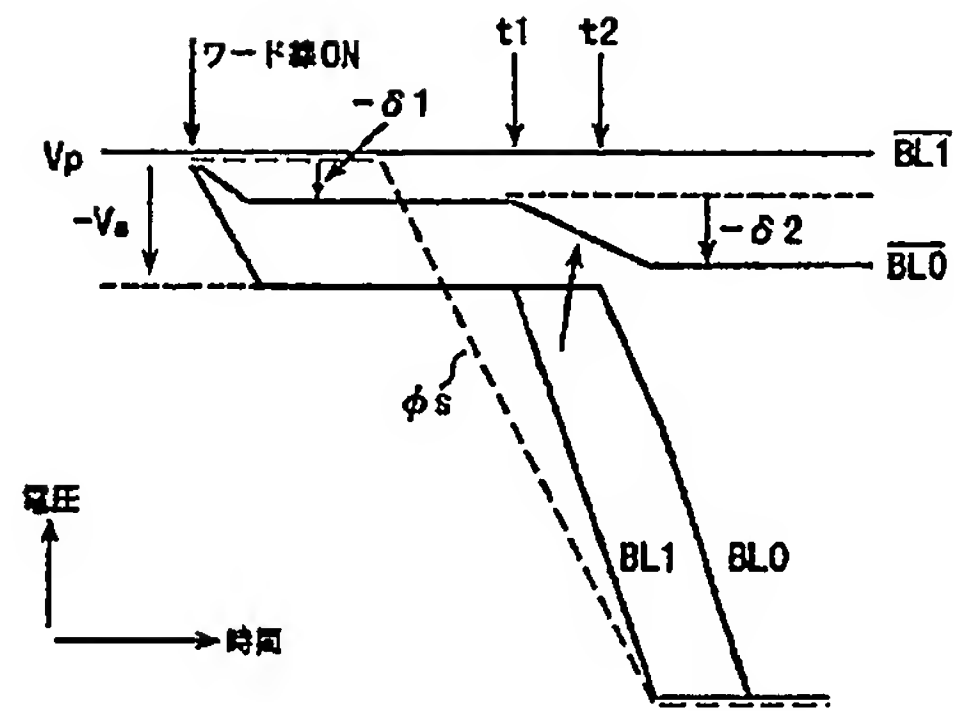
【 図15 】



【 図1 2 】

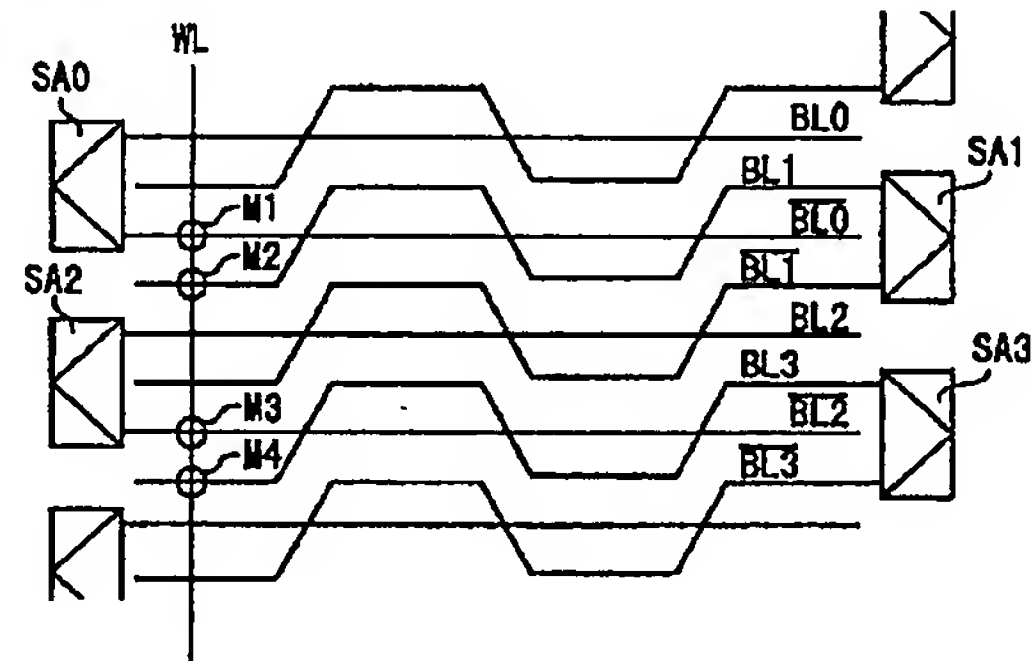
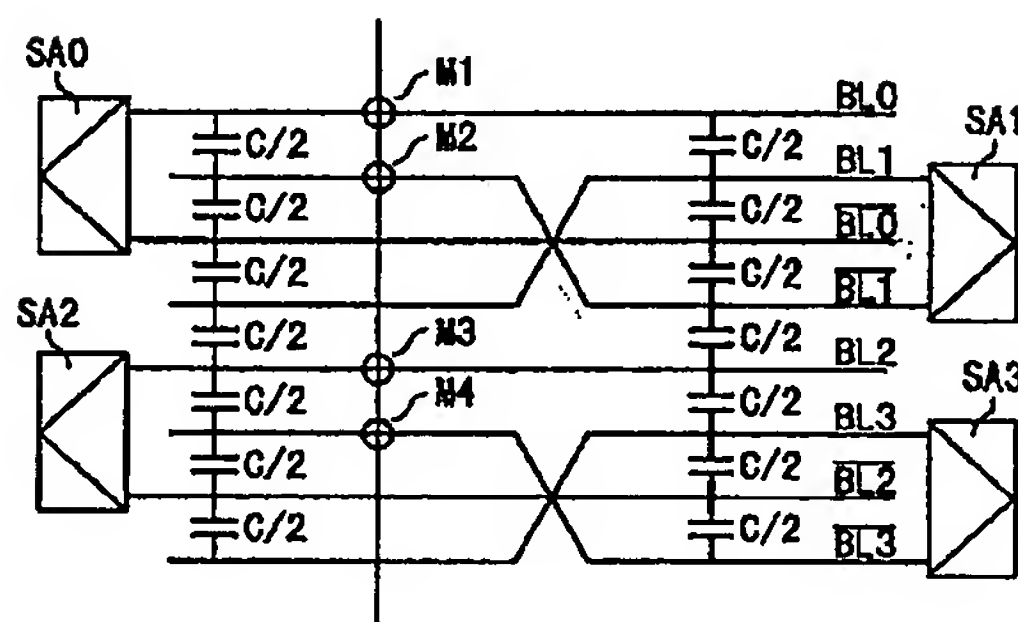


【 図1 3 】



【 図1 6 】

【 図1 4 】



フロントページの続き

Fターム (参考) 5B024 AA03 BA05 CA21  
 5F033 VV16 XX24  
 5F083 AD00 GA09 GA12 LA03 LA14  
 LA15 LA16